

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-111450

(43)Date of publication of application : 17.06.1985

(51)Int. Cl.

H01L 27/04

H01L 27/00

H01L 27/06

(21)Application number : 58-219966

(71)Applicant : NEC CORP

(22)Date of filing : 22.11.1983

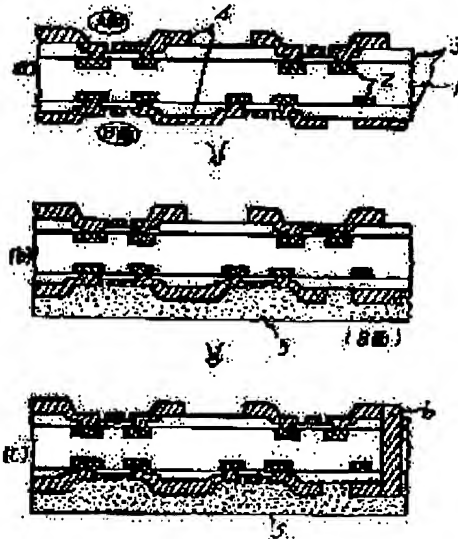
(72)Inventor : ITAGAKI KATSUHIKO

### (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

#### (57)Abstract:

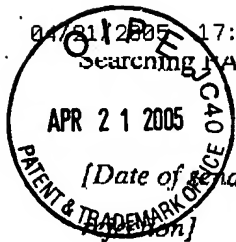
**PURPOSE:** To aim for higher integration by a method wherein a multiplicity of semiconductor elements are built on both sides of a substrate.

**CONSTITUTION:** Both surfaces A and B of an Si substrate 1 are provided with diffused layers 2 for a multiplicity of semiconductor elements. Further, an SiO<sub>2</sub> film 3 is formed for the formation of the prescribed patterns of Al wirings 4. Next, a cover is provided of a coating material 5 only on the surface B of the substrate 1. For the formation of a through-contact 6, a through-hole is provided in the substrate 1 in an etching process wherein an etchant is employed that does not affect the coating material 5. Finally, a through-contact 6 is built of Al or other metals through the surfaces B and A.



### LEGAL STATUS

[Date of request for examination]



*[Date of sending the examiner's decision of  
rejection]*

*[Kind of final disposal of application other than  
the examiner's decision of rejection or application  
converted registration]*

*[Date of final disposal for application]*

*[Patent number]*

*[Date of registration]*

*[Number of appeal against examiner's decision of  
rejection]*

*[Date of requesting appeal against examiner's  
decision of rejection]*

*[Date of extinction of right]*

*Copyright (C); 1998,2003 Japan Patent Office*



⑤ 日本国特許庁 (J P) ⑥ 特許出願公開  
⑦ 公開特許公報 (A) 昭60-111450

⑧ Int. Cl. 1 ⑨ 特許出願公開  
H 01 L 27/04 ⑩ 公開 昭和60年(1985)6月17日  
27/08  
27/06 A-8122-5F  
8122-5F  
6655-5F 審査請求 未請求 発明の数 1 (全2頁)

⑪ 発明の名称 半導体集積回路装置

⑫ 特 願 昭58-219986

⑬ 出 願 昭58(1983)11月22日

⑭ 発 明 者 板 垣 克 彦 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑮ 出 願 人 日本電気株式会社 東京港区芝5丁目33番1号  
⑯ 代 理 人 弁 理 士 内 原 晋

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

半導体基板上の面に半導体素子を形成したことを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

本発明は半導体集積回路に関するものである。

従来の集積回路は、第1図に示すように、シリコン基板1の片面にのみ半導体素子のための多数拡散層2を形成し、その面に酸化膜3を形成し、さらに所定のアルミニウム配線4を形成していた。

最近、先向技術の進歩により、1ミクロン程度の微細加工が可能になってはきたが、その微細加工技術も限界があると思われ、又、3次元LSIの研究も進められているが絶縁膜上のシリコン基板の形成及び基間のトランジスタの平均間隔等

様々な問題が現れている。

本発明の目的は、高集積化をさらに可能とした半導体集積回路を提供することにある。

本発明は、基板の両面に多数の半導体素子を形成したことを特徴とするものであり、以下、図面により本発明を詳述する。

第2図は、本発明の一実施例を示し、まず第2図(a)のように、シリコン基板1のAおよびB面の両面に多数の半導体素子のための拡散層2を形成し、さらに、シリコン層3を形成して所定のアルミニウム配線4を形成する。次に、第2図(b)のように、基板1のB面のみにコーティング層5で被覆し、第2図(c)のように、スルーコンタクト6を形成するために、コーティング材料5を溶解しないようなエッチング液にて基板1にパルホールを開け、アルミニウム等の金属によりA面とB面のコンタクトを形成する。

第3図は本発明の具体的適用例を示し、ここでは1チップマイクログコンピュータを例に示す。現在1チップマイクログコンピュータは8ビット

ラスであるが、特許 16 ビット、32 ビットの 1 チップマイクロコンピュータが出現するのと同様の問題である。従って、それ以外の高集積化が絶対条件となる。ここでは 16/32 ビット等のハイレベルの 1 チップマイクロコンピュータを例に示す。図 1 図(a)では、第 2 図と同様に両面に各層の素子を形成していくが、A 面に EP ROM 部のみを形成し、CPU、RAM、I/O ポート等は B 面へ形成する。そうすることにより ROM 部を大幅に拡大できるばかりではなく、さらに第 2 図(b)のように ROM をマスク ROM 化した際にも B 面の拡散等の工程は減らすにすむ。

以上説明したように、シリコン基板の両面を利用して 2 倍の素子を形成することにより、従来片側しか使用していない時の 2 倍の集積化が可能となるという利点を有する。なお、本発明を MOS トランジスタで示したがバイポーラトランジスタ、MOS カとバイポーラトランジスタを両方含んだものでもよい。

## 特開 60-111450(2)

## 4. 図面の簡単な説明

第 1 図は其例を示す断面図、第 2 図(a)乃至(c)は本発明の一実施例を製造工程順に示す断面図、第 3 図(a)、(b)は本発明の応用例を示す斜視図である。

1……シリコン基板、2……拡散層、3……SiO<sub>2</sub>膜、4……アルミメタル配線層、5……コンタクト層、6……スルーホール。

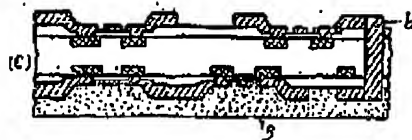
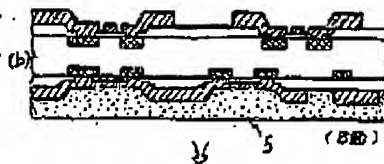
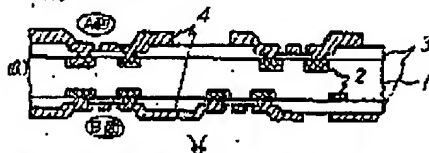
代理人 弁理士 内 原 啓



第 1 図



第 2 図



第 3 図

